

## Family list

13 family members for: JP2105907






Derived from 10 applications

- 1 **Current-source arrangement.**  
**Inventor:** GROENEVELD DIRK WOUTER JOHANNE; **Applicant:** PHILIPS NV (NL)  
SCHOUWENAARS HENDRIKUS JOHANNE  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+6)  
**Publication info:** BR8904574 A - 1990-04-24
- 2 **CURRENT-SOURCE ARRANGEMENT**  
**Inventor:** JOHANNES GROENEVELD DIRK WOUTE **Applicant:** PHILIPS NV (NL)  
(NL); JOHANNES SCHOUWENAARS HENDRIKU (NL)  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+5)  
**Publication info:** CN1020510C C - 1993-05-05  
CN1041230 A - 1990-04-11
- 3 **No title available**  
**Inventor:** **Applicant:**  
**EC:** **IPC:**  
**Publication info:** DE68913405D D1 - 1994-04-07
- 4 **Current-source arrangement.**  
**Inventor:** GROENEVELD DIRK WOUTER JOHANNE **Applicant:** PHILIPS NV (NL)  
(NL); SCHOUWENAARS HENDRIKUS JOHANNE (NL)  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+5)  
**Publication info:** DE68913405T T2 - 1994-09-08
- 5 **Current-source arrangement.**  
**Inventor:** GROENEVELD DIRK WOUTER JOHANNE; **Applicant:** PHILIPS NV (NL)  
SCHOUWENAARS HENDRIKUS JOHANNE  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+5)  
**Publication info:** EP0359315 A1 - 1990-03-21  
EP0359315 B1 - 1994-03-02
- 6 **Current-source arrangement.**  
**Inventor:** GROENEVELD DIRK WOUTER JOHANNE **Applicant:** PHILIPS NV  
(NL); SCHOUWENAARS HENDRIKUS JOHANNE (NL)  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+5)  
**Publication info:** ES2050783T T3 - 1994-06-01
- 7 **Current-source arrangement**  
**Inventor:** GROENEVELD DIRK WOUTER JOHANNE **Applicant:** PHILIPS ELECTRONICS NV (NL)  
(NL); SCHOUWENAARS HENDRIKUS JOHANNE (NL)  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+5)  
**Publication info:** HK45096 A - 1996-03-22
- 8 **CURRENT SOURCE CIRCUIT**  
**Inventor:** DEIRUKU UOOTERU YOHANESU FURUN; **Applicant:** PHILIPS NV  
HENDORIKUSU YOHANESU SUHOOUENA  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+5)  
**Publication info:** JP2105907 A - 1990-04-18  
JP2843833B2 B2 - 1999-01-06
- 9 **CURRENT SOURCE APPARATUS**  
**Inventor:** GROENEVELD DIRK WOUTER JOHANNES **Applicant:** PHILIPS ELECTRONICS NV (NL)  
(NL); SCHOUWENAAR HENDRIKUS JOHANNES (NL)  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+5)  
**Publication info:** KR0137475B B1 - 1998-06-15
- 10 **Current-source arrangement**  
**Inventor:** GROENEVELD DIRK W J (NL); **Applicant:** PHILIPS CORP (US)  
SCHOUWENAARS HENDRIKUS J (NL)  
**EC:** G05F3/26A **IPC:** G05F3/24; G05F3/26; H03F3/343 (+5)  
**Publication info:** US4967140 A - 1990-10-30

## CURRENT SOURCE CIRCUIT

**Patent number:** JP2105907  
**Publication date:** 1990-04-18  
**Inventor:** DEIRUKU UOOTERU YOHANESU FURUN;  
 HENDORIKUSU YOHANESU SUHOOUENA  
**Applicant:** PHILIPS NV  
**Classification:**  
 - international: **G05F3/24; G05F3/26; H03F3/343; H03M1/10;  
 G05F3/08; H03F3/343; H03M1/10; (IPC1-7): G05F3/24**  
 - european: **G05F3/26A**  
**Application number:** JP19890233050 19890911  
**Priority number(s):** NL19880002230 19880912; NL19890000215 19890130

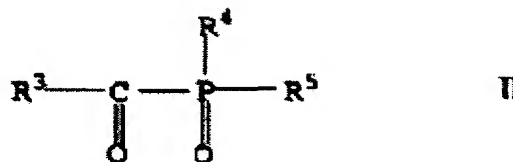
## Also published as:

 EP0359315 (A1)  
 US4967140 (A1)  
 BR8904574 (A)  
 EP0359315 (B1)  
 ES2050783T (T)

Report a data error he

## Abstract of JP2105907

**PURPOSE:** To enable the current source circuit to operate with a low supply voltage by composing each transistor (TR) circuit of control TRs which are one larger in number than needed currents, and controlling a control voltage by using a correcting means and equalizing a current from each TR circuit to a reference current. **CONSTITUTION:** This circuit is equipped with N+1 TR circuits 2, 1-2, and N+1, which are composed of control TRs T1-TN+1. Further, the circuit is equipped with the correcting means 4 equipped with a correcting circuit 5 which has a reference current source 6 for supplying a control signal to one of control input terminals 3, 1-3, and N+1 and a switching network 7 which always couples one of the TR circuits 2, 1-2, and N+1 to the correcting circuit 5 according to a cycle pattern and couples other TR circuits to output terminals 1...N. Consequently, the circuit can operate with the low supply voltage.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A)

平2-105907

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月18日

G 05 F 3/24

A

7319-5H

審査請求 未請求 請求項の数 15 (全10頁)

⑭ 発明の名称 電流源回路

⑯ 特 願 平1-233050

⑰ 出 願 平1(1989)9月11日

優先権主張 ⑱ 1988年9月12日 ⑲ オランダ(NL) ⑳ 8802230

⑳ 発 明 者 デイルク ウオーテル オランダ国5621 ベーアー アインドーフエン フルーネ  
ヨハネス フルネフ バウツウエツハ1  
エルド

㉑ 出 願 人 エヌ ベー フィリッ オランダ国5621 ベーアー アインドーフエン フルーネ  
プス フルーイランベ バウツウエツハ1  
ンフアブリケン

㉒ 代 理 人 弁理士 杉村 暁秀 外1名  
最終頁に続く

## 明 細 書

1. 発明の名称 電流源回路

2. 特許請求の範囲

1. - 多数のほぼ等しい電流を発生する多数のトランジスタ回路；及び
  - 前記トランジスタ回路からの電流の相対偏差を低減させるための補正手段；
  - を具備している電流源回路において、
  - 前記トランジスタ回路の個数を必要とされる電流の数よりも少なくとも1つ多くし；
  - 前記各トランジスタ回路を制御トランジスタで構成し、該制御トランジスタの制御電圧を可調整として可調整第1電流を供給すべくし；且つ
  - 前記補正手段を用いて、関連するトランジスタ回路の制御トランジスタの制御電圧を調整することによってサイクルパターンに従って各トランジスタ回路からの電流を基準電流に等しくするようにしたことを特徴とする電流源回路。

2. 各トランジスタ回路をゲートとソース電極との間に配置したコンデンサを有している制御トランジスタにより構成したことを特徴とする請求項1に記載の電流源回路。
3. 前記コンデンサを関連する制御トランジスタのゲート-ソースキャパシタンスで構成したことを特徴とする請求項2に記載の電流源回路。
4. 前記補正手段が基準電流を前記制御トランジスタのドレイン電極に供給する手段と、前記第1電流が基準電流に等しくなるように前記コンデンサの電圧を制御するためにドレインとゲート電極との間に設ける負帰還手段とを具備していることを特徴とする請求項2又は3に記載の電流源回路。
5. 前記補正手段が：
  - 前記基準電流を基準電圧に変換する第1抵抗；
  - 前記第1電流を第2電圧に変換する第2トランジスタ；及び

- 前記第 1 及び第 2 抵抗と、前記コンデンサに接続され、前記第 2 電圧が基準電圧に等しくなるように前記コンデンサの電圧を調整する負帰還手段；

を具備していることを特徴とする請求項 2 又は 3 に記載の電流源回路。

6. 前記負帰還手段が前記制御トランジスタのドレイン電極における電圧を調整する調整手段を具備していることを特徴とする請求項 4 に記載の電流源回路。

7. 前記調整手段が電流ホロワトランジスタを具備、該トランジスタのソース電極を制御トランジスタのドレイン電極に、ゲート電極を基準電圧端子に、ドレイン電極をバイアス電流源にそれぞれ結合させたことを特徴とする請求項 6 に記載の電流源回路。

8. 前記各トランジスタ回路を、ゲートとソース電極との間に配置したコンデンサを有している制御トランジスタと、第 2 電流を供給するトランジスタ電流源とで構成し、前記トラ

ンジスタのドレインとゲート電極との間に配置され、前記第 2 トランジスタからの電流と第 2 電流との和が基準電流に等しくなるように前記コンデンサの電圧を制御する負帰還手段とを具備していることを特徴とする請求項 8 又は 9 に記載の電流源回路。

12. 前記補正手段が：

- 前記基準電流を基準電圧に変換する第 1 抵抗；

- 前記第 1 及び第 2 電流の和電流を第 2 電圧に変換する第 2 抵抗；及び

- 前記第 1 及び第 2 抵抗とコンデンサとに接続され、前記第 2 電圧が基準電圧に等しくなるように前記コンデンサの電圧を調整する負帰還手段；

を具備していることを特徴とする請求項 8 又は 9 に記載の電流源回路。

13. 前記負帰還手段が前記制御トランジスタのドレイン電極の電圧を調整する調整手段を具備していることを特徴とする請求項 11 に記載の

ンジスタ回路からの電流を第 1 電流と第 2 電流との和に等しくするようにしたことを特徴とする請求項 1 に記載の電流源回路。

9. 前記コンデンサを関連する制御トランジスタのゲート・ソースキャパシタンスで構成したことを特徴とする請求項 8 に記載の電流源回路。

10. 前記補正手段が前記基準電流と第 2 電流との差電流を前記制御トランジスタのドレイン電極に供給する手段と、前記第 1 電流と第 2 電流との和電流が基準電流に等しくなるように前記コンデンサの電圧を調整するためにドレインとゲート電極との間に配置する負帰還手段とを具備していることを特徴とする請求項 8 又は 9 に記載の電流源回路。

11. 前記補正手段が、前記制御トランジスタのゲート・ソース接合部と並列に配置されるゲート・ソース接合部を有している第 2 トランジスタのドレイン電極に前記基準電流と第 2 電流との差電流を供給する手段と、前記第 2

電流源回路。

14. 前記調整手段が電流ホロワトランジスタを具備、該トランジスタのソース電極を前記制御トランジスタのドレイン電極に、ゲート電極を基準電圧端子に、ドレイン電極をバイアス電流源にそれぞれ結合させたことを特徴とする請求項 13 に記載の電流源回路。

15. 請求項 1 ～ 14 のいずれかに記載の電流源回路を少なくとも 1 つ具備していることを特徴とするデジタル-アナログ変換器。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は多数のほぼ等しい電流を発生する多数のトランジスタ回路と、これらのトランジスタ回路からの電流の相対偏差を低減させるための補助手段とを具えている電流源回路に関するものである。

本発明は斯種の電流源回路を具えているデジタル-アナログ変換器にも関するものである。

## 〔従来の技術〕

斯種の電流源回路は米国特許明細書第4,573,005号から既知である。この電流源回路における補正手段は精密な電流-ミラー回路を具えており、このミラー回路では一方のトランジスタ回路からの電流を基準電流として入力端子に供給し、他方のトランジスタ回路からの電流をサイクルバターンに従って少なくとも1個の出力端子に供給している。この場合には、基準電流と他方のトランジスタ回路からの電流との差電流が斯かる出力端子に現われ、この差電流を用いて、前記他方のトラン

- 前記補正手段を用いて、関連するトランジスタ回路の制御トランジスタの制御電圧を調整することによってサイクルバターンに従って各トランジスタ回路からの電流を基準電流に等しくするようにしたことを特徴とする。

本発明による電流源回路におけるトランジスタ回路の個数は実際に電流源回路に必要とされる個数に比べてあまり多くならず、つまり各サイクル周期では補正目的のために電流源回路の1つのトランジスタ回路を用い、先のサイクル周期にて補正したトランジスタ回路は電流源回路に戻すように切換えることができる。補正期間中にはトランジスタ回路が最早電流源回路の負荷と直列に接続されないため、電流源回路をかなり低い供給電圧で作動させることができる。

本発明による電流源回路の他の利点は、実際の電流源回路の作動が補正手段によって妨げられないと云う点にある。

## 〔実施例〕

以下図面を参照して実施例につき説明するに、

ジスタ回路からの電流が基準電流により一層良好に追従するように斯かる他方のトランジスタ回路からの電流を補正する。

## 〔発明が解決しようとする課題〕

上述した従来回路の欠点は、精密な電流ミラー回路をトランジスタ回路及びその負荷と直列に配置しなければならないため、従来の電流源回路はかなり高い供給電圧を必要とすると云うことにある。

これがため、本発明の目的はかなり低い供給電圧で作動すべく構成される補正手段付きの電流源回路を提供することにある。

## 〔課題を解決するための手段〕

本発明は冒頭にて述べた種類の電流源回路において、

- 前記トランジスタ回路の個数を必要とされる電流の数よりも少なくとも1つ多くし；

- 前記各トランジスタ回路を制御トランジスタで構成し、該制御トランジスタの制御電圧を可調整として可調整第1電流を供給すべくし；且つ

第1図は本発明による電流源回路の基準回路図である。この回路はN個のほぼ等しい電流を出力端子1～Nに供給すべく構成し、これらの出力端子には負荷（図面の明瞭化のために図示せず）を接続することができる。電流源回路はN+1個のトランジスタ回路2.1～2.N+1を具えており、これらの各々は制御トランジスタT1～TN+1で構成する。トランジスタ回路は制御電圧、従って制御トランジスタT1～TN+1の電流を調整するために制御入力端子3.1～3.N+1も具えている。電流源回路はさらに、制御信号を制御入力端子3.1～3.N+1の内の1つに供給する基準電流源6を有している補正回路5と、サイクルバターンに従ってトランジスタ回路2.1～2.N+1の1つを常に補正回路5に結合されると共に、他のトランジスタ回路を出力端子1…Nに結合させるスイッチング回路網7とを具えている補正手段4も具えている。

本例ではN個のトランジスタ回路が1サイクルの各周期にて出力電流を出力端子1～Nに供給し、

残りの 1 個のトランジスタ回路は補正回路 5 に結合させる。この補正回路では関連するトランジスタ回路からの電流を基準電流源 6 からの基準電流と比較し、且つ補正回路 5 によってトランジスタ回路の制御入力端子 3.- に供給される制御信号によって制御トランジスタ 2.- の制御電圧を調整して、トランジスタ回路からの電流が基準電流に等しくなるようにする。サイクルのつぎの周期では、補正したトランジスタ回路 2.- をスイッチング回路網 7 によって未補正のトランジスタ回路 2.- と交換する。このようにして、全てのトランジスタ回路 2.1 ~ 2.N + 1 からの電流を順次継続的に補正する。この結果、出力端子 1 ~ N に得られる電流は基準電流に大いに等しくなる。補正すべきトランジスタ回路を実際の電流源回路から切り離すため、補正回路 5 が電流源回路の正しい作動を妨げることはない。補正回路は電流源回路の通常の作動中におけるよりも高い供給電圧を必要としないため、電流源回路は低い供給電圧で作動させるのに好適である。

成し、これにより電流  $I_{ref}$  を相互接続入力端子 10 及び 11 に供給する。

入力端子 10 と 11 との間を直接接続したことにより、トランジスタ T2 のドレイン電極はそのゲート電極に接続される。この際、電流源 6 は電流  $I_2$  が基準電流  $I_{ref}$  に正確に等しくなるようにコンデンサ C2 の電圧を制御する。つぎのクロック周期では、スイッチ S2.2 及び S2.3 によってトランジスタ T2 が出力端子 2 に接続され、これと同時にスイッチ S2.1 が開く。これがため、コンデンサ C2 の電圧をそのまま利用することができトランジスタ T2 は電流  $I_{ref}$  に正確に等しい電流  $I_2$  を供給し続ける。これと同じクロック周期に他の 3 つのトランジスタの内の 1 つ、例えばトランジスタ T3 が補正回路の入力端子 10 及び 11 に接続され、電流  $I_3$  が基準電流  $I_{ref}$  に正確に等しくなるようにコンデンサ C3 の電圧が調整される。このようにして、トランジスタ T1 ~ T4 の電流  $I_1$  ~  $I_4$  を順次継続的に電流  $I_{ref}$  に等しくする。これにより正確に等しい電流が出力端子 1, 2 及び 3 に得られることになる。

第 2 図は本発明による電流源回路の第 1 実施例を示す。この回路は各トランジスタのゲートとソース電極との間に配置したコンデンサ C1 ~ C4 を有している制御トランジスタ T1 ~ T4 から成る 4 つのトランジスタ回路を具えている。スイッチ S1.1 ~ S4.1, S1.2 ~ S4.2 及び S1.3 ~ S3.3 によって常に 4 個のトランジスタ T1 ~ T4 の内の 3 つを出力端子 1, 2 及び 3 に結合させ、残りのトランジスタを補正回路 5 の入力端子 10 及び 11 に結合させることができる。これらの各スイッチの制御はサイクルパターンに従って、本例ではクロック 15 により制御されるシフトレジスタ 14 によって行なう。

第 2 図に示す状態は、トランジスタ T1, T3 及び T4 からの電流  $I_1$ ,  $I_3$  及び  $I_4$  が出力端子 1, 2 及び 3 に供給され、又トランジスタ T2 からの電流  $I_2$  が補正回路 5 の入力端子 11 に供給される状態を示している。スイッチ S1.1, S3.1 及び S4.1 は開放しており、スイッチ S2.1 が閉じているため、トランジスタ T2 のゲート電極は補正回路の入力端子 10 に結合される。本例では補正回路を基準電流源 6 で構

第 3 図は本発明による電流源回路の第 2 実施例を示し、この例では図面の明瞭化のために補正回路及び補正すべきトランジスタのみを示してある。補正回路は電流源 6 で構成し、この電流源が供給する基準電流  $I_{ref}$  は抵抗 R1 間にて基準電圧  $V_{ref}$  に変換される。補正回路の入力端子 11 は抵抗 R2 を介して正の給電端子に接続する。抵抗 R1 及び R2 は増幅器 16 の反転入力端子及び非反転入力端子にそれぞれ接続し、増幅器 16 の出力端子は入力端子 10 に接続する。トランジスタ T2 のゲート及びドレイン電極も入力端子 10 及び 11 にそれぞれ接続する。トランジスタ T2 からの電流  $I_2$  は抵抗 R2 間にそれに比例した電圧に変換される。この際、増幅器 16 は抵抗 R2 間の電圧が抵抗 R1 間の基準電圧  $V_{ref}$  に等しくなるようにコンデンサ C2 間の電圧を制御する。抵抗 R1 及び R2 の抵抗値が等しいと、電流  $I_2$  は基準電流  $I_{ref}$  に正確に等しくなる。抵抗 R1 と R2 の抵抗値の比率を特定の比率に選択することによって、電流  $I_{ref}$  と  $I_2$  との比率を規定することができる。

第 4 図は本発明による電流源回路の第 3 実施例

を示し、ここに第2図の例におけるものと同一部分を示すものには同一符号を付して示してある。この場合のトランジスタ回路は制御トランジスタT1~T4とコンデンサC1~C4とを具えており、これらトランジスタには電流源B1~B4を並列に配置する。各トランジスタ回路によって供給される電流は制御トランジスタ及び電流源からの電流の和に等しくなる。これがため、電流源B1~B4からの電流は電流源6からの基準電流よりも小さい。スイッチS1.1~S4.1, S1.2~S4.2, S1.4~S4.4及びS1.3~S3.3によって常にトランジスタ回路T1, B1~T4, B4の4つの電流の内の3つの電流を出力端子1, 2及び3に供給することができ、又残りのトランジスタ回路の制御トランジスタ及び電流源からの電流を補正回路5の入力端子11及び13に供給することができる。

第4図に示す状態は、トランジスタ回路T1, B1; T3, B3及びT4, B4からの電流が出力端子1, 3及び2に供給され、且つトランジスタ回路T2, B2が補正回路5に接続される状態を示している。この

$I_{ref}$  を供給する電流源6で補正回路を構成する。電流源B2からの電流 $I_2$ は入力端子13にて斯かる基準電流から取出される。電流 $I_{ref}$ と $I_2$ との差電流 $\Delta I_2$ はトランジスタT5に供給され、このトランジスタのドレイン電極はゲート電極に接続する。又、このゲート電極は入力端子10に接続する。入力端子11は直流電圧 $V_0$ を供給する点に結合させる。トランジスタT2のゲート及びドレイン電極は入力端子10及び11に接続する。トランジスタT5はトランジスタT2と相俟って電流ミラー回路を構成し、これには差電流 $\Delta I_2$ を供給する。この電流 $\Delta I_2$ は、トランジスタT2の電流が電流 $\Delta I_2$ に正確に等しくなるようにコンデンサC2の電圧を制御する。トランジスタT2のゲートとソース電極との間には同じ制御電圧が現われるため、トランジスタT2の電流 $I_2$ も $\Delta I_2$ に正確に等しくなる。回路の残りの部分は第4図のものと同じように作動する。

第6図は本発明の第5実施例を示し、この例でも補正回路と補正すべきトランジスタのみを示してある。この例では、第3図の例と同一部分を示

場合に、スイッチS1.1, S3.1及びS4.1は開いており、スイッチS2.1が補正回路5の入力端子10に接続される。この例でも基準電流 $I_{ref}$ を供給する電流源6で補正回路を構成する。電流源6の出力端子は入力端子10, 11及び13に接続する。

基準電流 $I_{ref}$ と電流 $I_2$ との差電流 $\Delta I_2$ はトランジスタT<sub>2</sub>のドレイン電極に供給される。この際、電流源6は電流 $I_2$ と $\Delta I_2$ との和が電流 $I_{ref}$ に等しくなるようにコンデンサC2の電圧を制御する。電流源回路の残りの部分に対する動作は第2図に示したものと同一である。補正回路はコンデンサC2の電圧を介して僅かの差電流を補正するだけであるため、トランジスタT2のゲート・ソース電圧における僅かな変動に対する出力電流の感受性が実質上低減される。

第5図は本発明の第4実施例を示し、この例では図面の明瞭化のために補正回路と、補正すべきトランジスタのみを示してある。第5図の例で、第4図におけるものと同一部分を示すものには同一符号を付して示してある。この例でも基準電流

すものに同一符号を付して示してある。この回路は第3図に示したものと同一ように作動するが、第3図の例との相違点はトランジスタT2からの電流 $\Delta I_2$ と電流源B2からの電流 $I_2$ との和が抵抗R2に供給されると云う点にある。

第7図は本発明の第6実施例を示し、この例でも補正回路と補正すべきトランジスタ回路を示してあるだけである。この第7図の例では第2図の例と同一部分を示すものに同一符号を付して示してある。この例では補正回路を電流源6とトランジスタT6とで構成し、電流源6は電流 $I_{ref} + I_2$ を供給するものとし、又トランジスタT6のソース電極は電流源6に接続し、ゲート電極は電圧 $V_{ref}$ を供給する点に接続し、ドレイン電極は電流 $I_2$ を供給するバイアス電流源20を介して負の給電端子に接続する。トランジスタT2のゲート及びドレイン電極は補正回路の入力端子10及び11に接続する。電流源6からの電流と電流源20からの電流との差電流 $I_{ref}$ も、トランジスタT6を介してトランジスタT2からの電流 $I_2$ が電流 $I_{ref}$ に正確に等

しくなるようにコンデンサC2の電圧を制御する。基準電圧  $V_{ref}$  は、トランジスタT2が実際の電流源回路、又はD/A変換器に切り換えられる時にこのトランジスタT2のドレイン電極における電圧にトランジスタT6のドレイン電圧が等しくなるように選択する。このようにすることにより、他のドレイン・ソース電圧により実際の電流源回路におけるトランジスタT2が補正回路における以外の他の電流を搬送できないようにする。

第7図の例における補正回路は第4図の実施例にも用いることができ、この場合には第7図に破線で示すように補正回路の入力端子13に電流源B2も接続する必要がある。この場合に差電流  $\Delta I_2 = I_{ref} - I_2$  はコンデンサC2間の電圧をトランジスタT6を介してトランジスタT2に流れる電流が電流  $\Delta I_2$  に正確に等しくなるように制御する。

図示の各実施例におけるスイッチはトランジスタで構成するのが好適である。第8a図は、例えばコンデンサC2を有するトランジスタT2と、トランジスタT7で構成するスイッチS2.1を示す。第8b図

は第8a図の変形例を示し、この場合にはトランジスタT8をトランジスタT7と直列に配置し、トランジスタT8のドレインをソース電極に接続する。トランジスタT8のゲートにはトランジスタT7のゲートに供給する信号の反転形態の信号を供給する。これによりトランジスタT8はトランジスタT7に存在する電荷をターン・オンしている期間中にコンデンサC2に排出しなくする。

図示の各例ではコンデンサC1～C4を別個のコンデンサとしたが、これらのコンデンサはトランジスタのゲート・ソースキャパシタンスによって適当に構成することもできる。

第9図は本発明による電流源回路を具えているD/A変換器の第1実施例を示す。本例は16ビットのD/A変換器である。これは18個のトランジスタ回路から成る第1電流源回路50を具えており、これらのトランジスタ回路の電流は上述したような方法で補正回路51によって電流源52からの基準電流  $I_{ref}$  にほぼ等しくする。17個の出力電流の内の1つの電流  $I_{ref}$  を17個のトランジスタ回路か

ら成る第2電流源回路60の補正回路61に対する基準電流として用いて、この第2電流源回路におけるトランジスタ回路の電流を上述したようにして電流  $I_{ref}$  に等しくする。第2電流源回路60における電流  $I_{ref}$  の1つを、本例では最下位8ビットに対する電流を供給する2進電流分配器63に供給する。第2電流源回路の他の電流は一連の2進加重電流  $I_{ref}$ 、 $2 I_{ref}$ 、 $\dots$ 、 $8 I_{ref}$  を得るように合成する。電流源回路50における16個の他の電流は電流  $16 I_{ref}$  を得るように合成し、この電流を基準電流として16個のトランジスタ回路から成る第3電流源回路70の補正回路71に供給して、この第3電流源回路におけるトランジスタ回路の電流を上述したような方法で電流  $16 I_{ref}$  に等しくする。第3電流源回路70における15個の電流は一連の2進加重電流  $16 I_{ref}$ 、 $32 I_{ref}$ 、 $\dots$ 、 $128 I_{ref}$  を得るように合成する。電流源回路60及び70と電流分配器63の出力電流を既知の方法で用いて、デジタル入力コードをアナログ出力信号に変換する。第10図は本発明による電流源回路を具えている16

ビットD/A変換器の第2の実施例を示す。これは64個のほぼ等しい電流を発生する電流源回路90を具えており、64個のほぼ等しい電流は上述したような方法で補正回路95によって順次継続的に基準電流に等しくなる。63個の2路スイッチ（図示せず）から成るスイッチング回路網100によって63個の電流をデジタル入力コードの上位6ビットに応じて加算点125か、又は正の給電端子のいずれかに供給する。64個の電流の内の1つは電流分配回路115に供給する。この電流分配回路115は下位10ビットの電流を供給し、これらの電流を2路スイッチ（図示せず）から成るスイッチング回路網120によってデジタル入力コードに応じて加算点125か、又は正の給電端子のいずれかに供給する。加算点125に現われる全出力電流は電流-電圧変換器130によって出力電圧  $V_{out}$  に変換することができる。

本例では16ビットのデジタル入力ワードをデータレジスタ110の入力端子111に直列に供給する。下位10ビットはスイッチング回路網120のスイッ



チを直接制御する。上位6ビットが先ず復号化装置105に供給され、この復号化装置はこれらの上位6ビットからスイッチング回路網100の63個のスイッチに対するスイッチング信号を取出す。

本発明による電流源回路を具えているD/A変換器では、補正回路を順次トランジスタ回路に接続するスイッチング周波数を、デジタル入力コードを供給する供給周波数が前記スイッチング周波数の倍数( $N \geq 1$ )に等しくなるように選択するのが好適である。このようにすることにより、補正回路及びスイッチング回路網によって生じたりするスイッチングトランジェントが実際のD/A変換器によって発生されるスイッチングトランジェントを平滑化するためにD/A変換器の出力端子に配置した慣例のデグリッチング回路網により平滑化されることになる。

本発明は上述した例のみに限定されるものでなく、例えば補正回路をここに示した以外の方法でも構成し得るように幾多の変更を加え得ること勿論である。

第10図は本発明によるデジタル-アナログ変換器の第2例を示すブロック図である。

1 ~ N ... 出力端子

2.1 ~ 2.N+1 ... トランジスタ回路

3.1 ~ 3.N+1 ... 制御入力端子

4 ... 補正手段

5 ... 補正回路

6 ... 基準電流源

7 ... スwitchング回路網

10, 11, 13 ... 補正回路の入力端子

14 ... シフトレジスタ

15 ... クロック

16 ... 増幅器

20 ... バイアス電流源

50, 60, 70, 90 ... 電流源回路

51, 61, 71, 95 ... 補正回路

52 ... 電流源

63 ... 電流分配器

100, 120 ... スwitchング回路網

105 ... 復号化装置

#### 4. 図面の簡単な説明

第1図は本発明による電流源回路の基本回路を示すブロック図；

第2図は本発明による電流源回路の第1実施例を示す回路図；

第3図は本発明による電流源回路の第2実施例を示す回路図；

第4図は本発明による電流源回路の第3実施例を示す回路図；

第5図は本発明による電流源回路の第4実施例を示す回路図；

第6図は本発明による電流源回路の第5実施例を示す回路図；

第7図は本発明による電流源回路の第6実施例を示す回路図；

第8a及び第8b図は本発明による電流源回路に用いるスイッチの例をそれぞれ示す回路図；

第9図は本発明による電流源回路を具えているデジタル-アナログ変換器の第1例を示すブロック図；

115 ... 電流分配回路

130 ... 電流-電圧変換器

R1, R2 ... 抵抗

C1 ~ C4 ... コンデンサ

B1 ~ B4 ... 電流源

S1.1 ~ S4.1, S1.2 ~ S4.2, S1.3 ~ S3.3 ... スイッチ

特許出願人      エス      ベー      フィリップス  
フルーイランベンファブリケン

代理人弁理士      杉      村      曉      秀

同      弁理士      杉      村      興      作

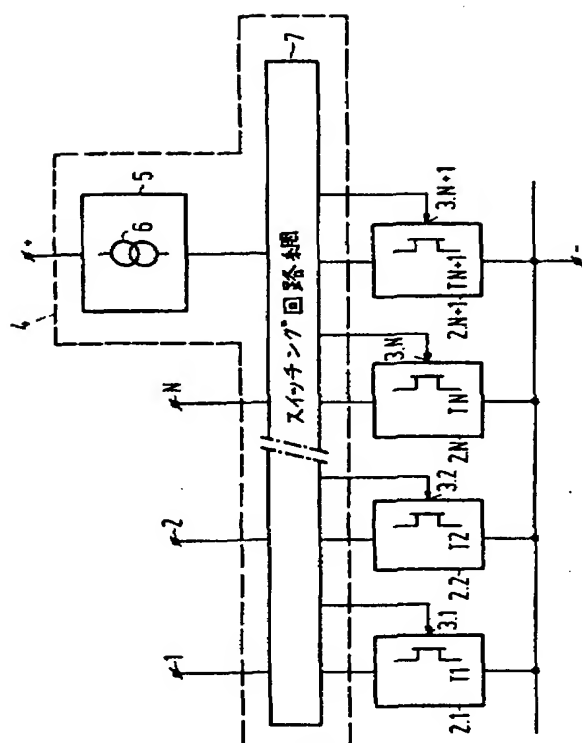


FIG. 1

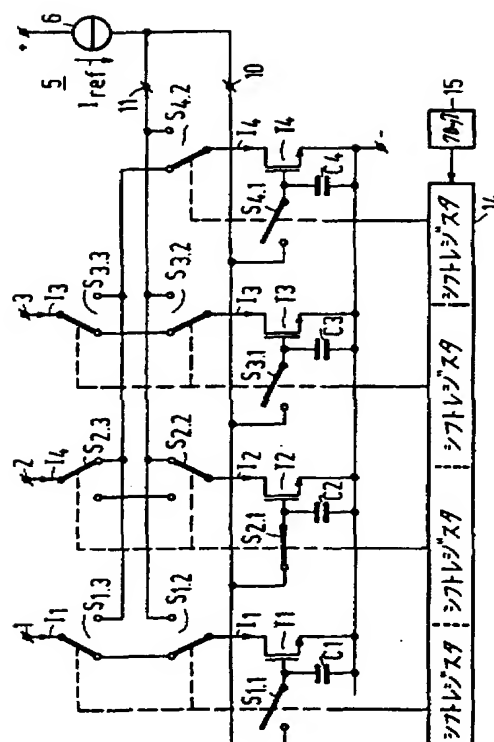


FIG. 2

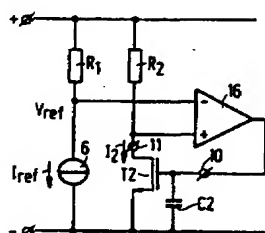


FIG. 3

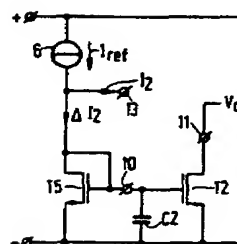


FIG. 5

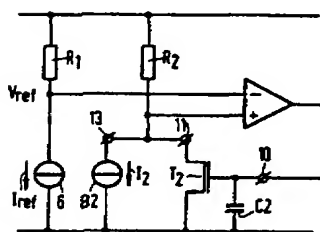


FIG. 6

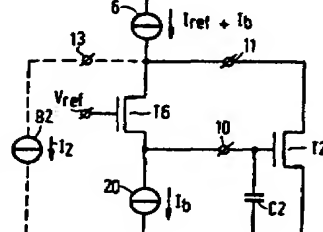


FIG. 7

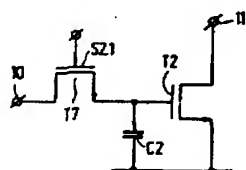


FIG. 8a

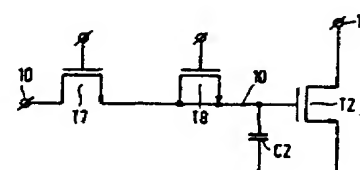


FIG. 8b

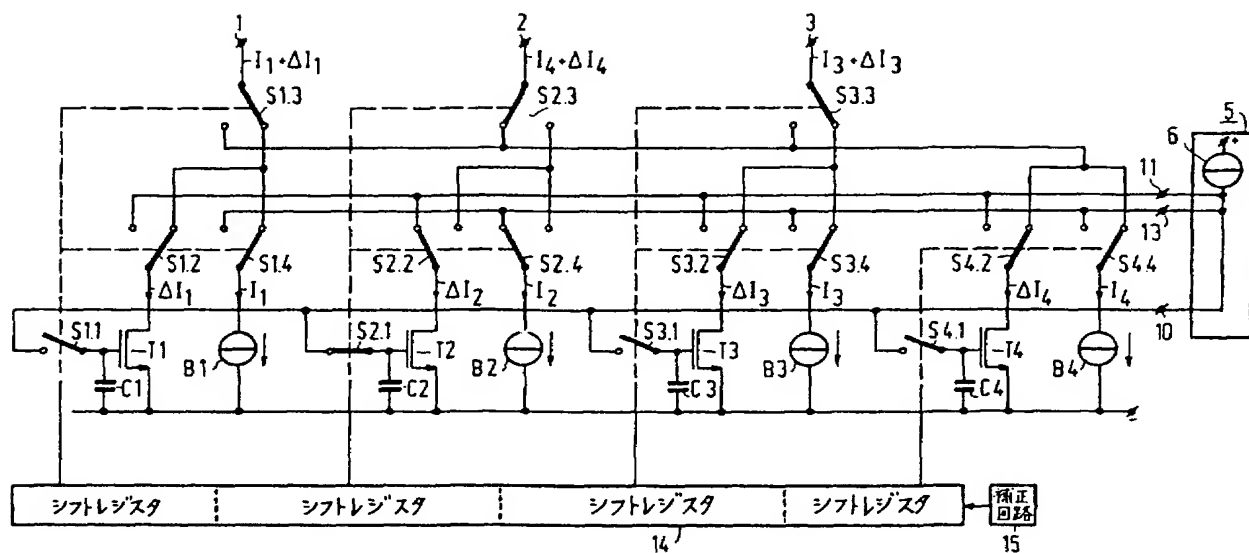


FIG. 4

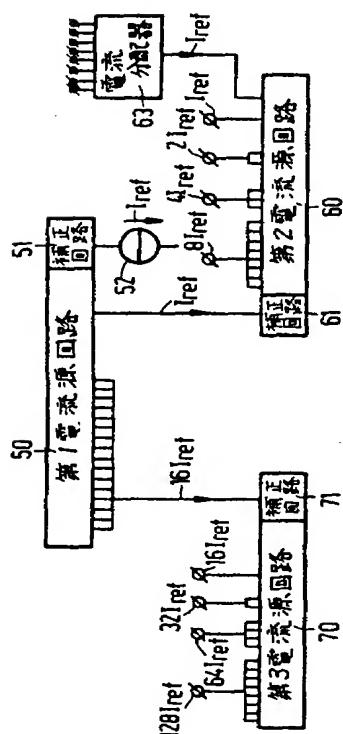


FIG. 9

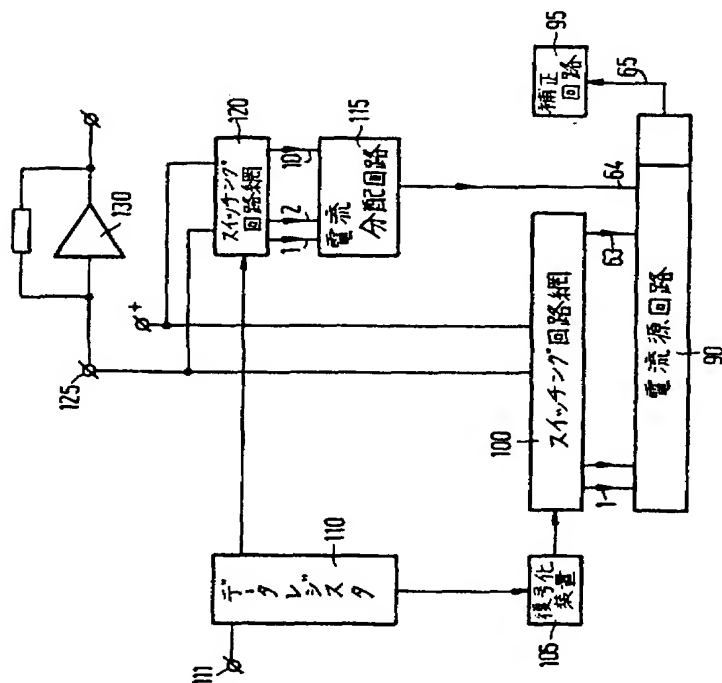


FIG. 10

第 1 頁の続き

優先権主張

⑫発 明 者

⑫1989年 1 月30日 ⑬オランダ(NL)⑭8900215

ヘンドリクス ヨハネ      オランダ国5621      ベーアー      アインドーフエン      フルーネ  
ス      スホーウエナール      バウツウエツハ 1  
ス